

МИКРОКОНВЕРТЕР AD μ C812 ФИРМЫ ANALOG DEVICES

3.1. Структура микроконвертера AD μ C812

Фирма Analog Devices представляет микроконвертер AD μ C812 как однокристалльную систему сбора данных и управления, которая включает прецизионный 12-разрядный АЦП, два 12-разрядных ЦАП и ядро микроконтроллера с архитектурой MCS-51. Эта микросхема сразу привлекла внимание специалистов, подобный прибор давно ждали и микроконвертер AD μ C812 стал настоящим бестселлером 2000г. как за рубежом, так и на отечественном рынке.

Микроконвертер имеет следующие основные характеристики:

- 12-разрядный 8-канальный АЦП со скоростью выборки 200 kSPS и каналом прямого доступа к памяти;
- два 12-разрядных ЦАП с потенциальными выходами;
- 8-разрядное ядро микроконтроллера с архитектурой MCS-51 ($F_{max} = 16$ МГц);
- 8 Кбайт внутренней flash-памяти программ;
- 640 байт внутренней flash-памяти данных типа ЭРПЗУ;
- последовательные порты: UART, I²C, SPI;
- монитор напряжения питания, сторожевой таймер, встроенный источник опорного напряжения.

Микросхема заключена в 52-выводный корпус типа PQFP, способна работать при напряжениях питания +5В / +3В в промышленном диапазоне температур. Структура микроконвертера приведена на рис. 3.1, а функции выводов корпуса – на рис. 3.2.

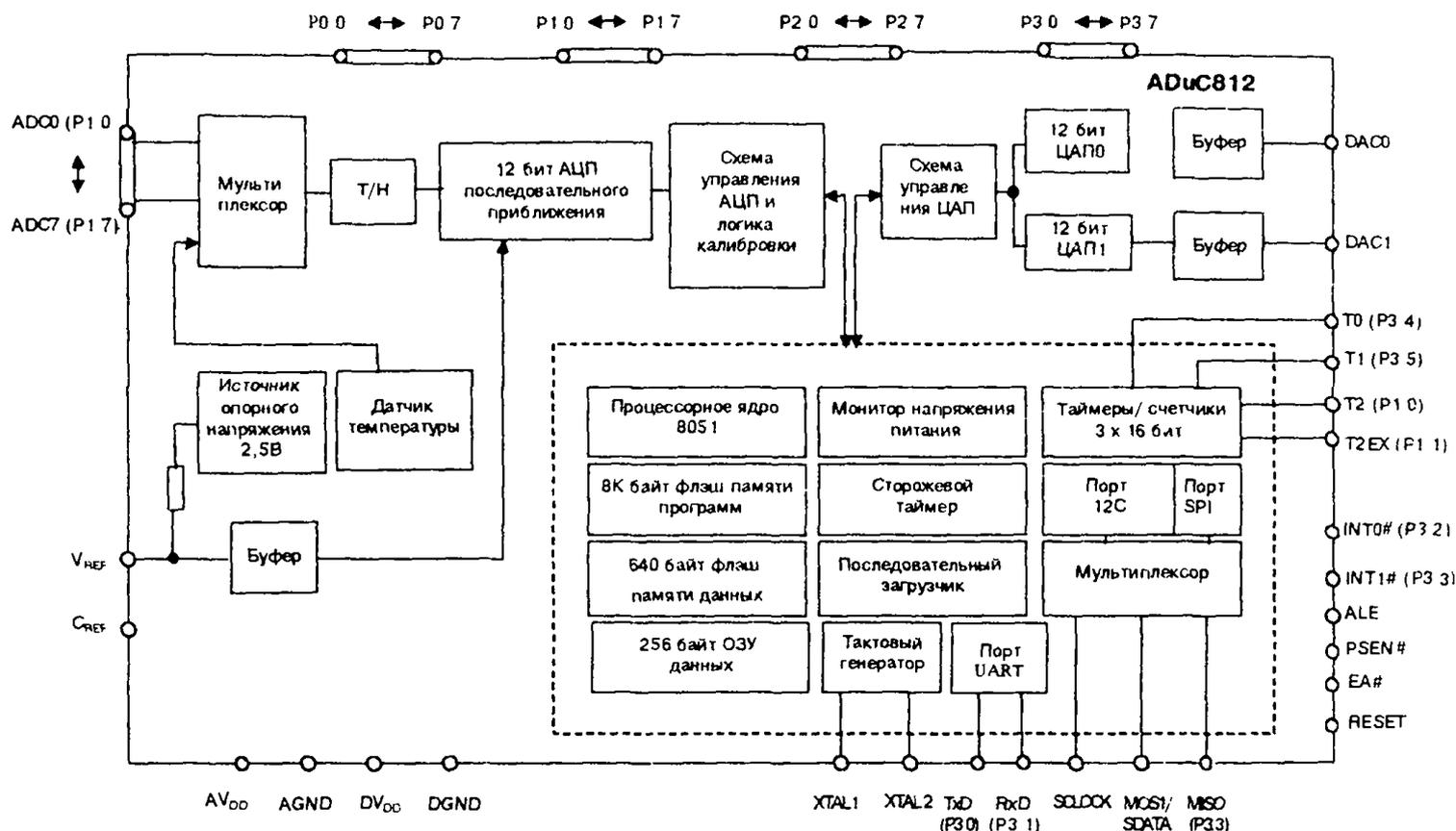


Рис. 3.1. Структура микроконвертера AD μ C812

Функции выводов микроконвертера следующие.

DVDD. Напряжение питания цифровой части микросхемы (+5В / +3В).

AVDD. Напряжение питания аналоговой части микросхемы (+5В / +3В).

DGND. Цифровая земля.

AGND. Аналоговая земля.

Port0 (P0.0 – P0.7). Двухнаправленный 8-разрядный параллельный порт ввода / вывода с открытым стоком.

Альтернативной функцией порта при обращении к внешней памяти является функция адресных выходов **A7 – A0** (адрес и данные передаются с разделением времени – мультиплексированная шина).

При записи в бит регистра порта логической «1» соответствующая линия порта переходит в режим высокоимпедансного входа. Для работы в режиме порта ввода / вывода необходимо внешнее подтягивание каждой линии порта к уровню логической «1».

Port1 (P1.0 – P1.7). Входной порт, по умолчанию настроен на ввод аналоговых сигналов (функции **ADC0 – ADC7**). Каждый вывод может

быть переведен в режим цифрового входа, для этого в соответствующий бит порта должен быть записан логический «0».

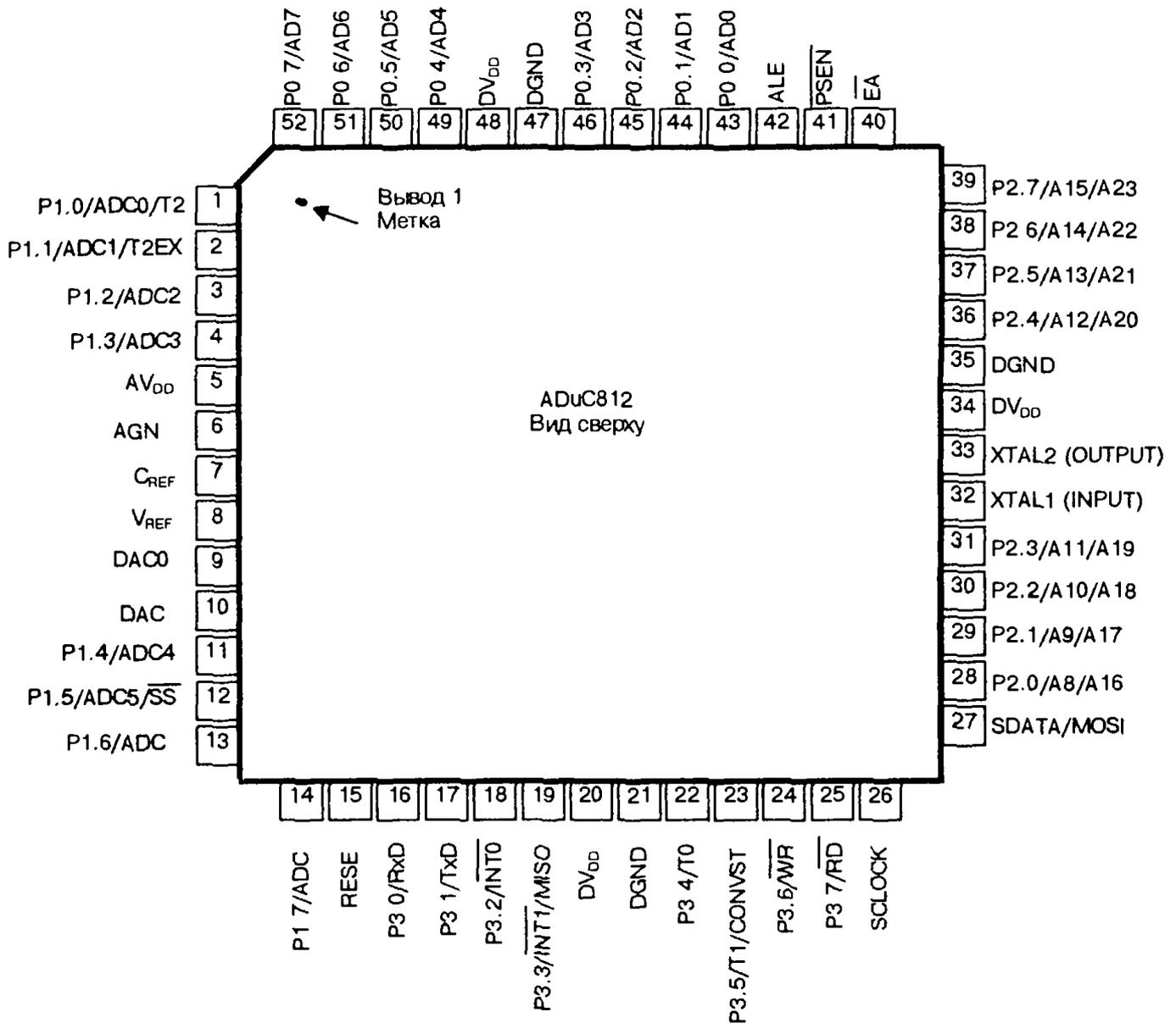


Рис. 3.2. Микроконвертер AD μ C812 в 52-выводном корпусе

Кроме работы в качестве аналоговых входов выводы порта P1 могут выполнять другие альтернативные функции в соответствии со следующей таблицей.

Вывод	Альтернативная функция
P1.0	T2 – вход Таймера 2 в режиме счетчика.
P1.1	T2EX – вход захвата Таймера 2 в режиме счетчика, а также вход управления направлением счета.
P1.5	SS# – выбор микроконвертера в качестве ведомого при обмене по интерфейсу SPI.

Port2 (P2.0 – P2.7). Двухнаправленный 8-разрядный параллельный порт ввода/вывода. При записи в бит регистра порта P2 логической «1» соответствующая линия порта переходит в режим высокоимпедансного входа со слабым подтягиванием сигнала к уровню логической «1».

Альтернативной функцией этого порта является функция адресных выходов. При обращении к внешней памяти программ через порт P2 выдается старший байт A8 – A15 16-разрядного адреса. При обращении к внешней памяти данных на выходы порта P2 выдаются средний и старший байты A16 – A23, A8 – A15 24-разрядного адреса (с разделением времени).

Port3 (P3.0 – P3.7). Двухнаправленный 8-разрядный параллельный порт ввода/вывода. При записи в бит регистра порта P3 логической «1» соответствующая линия порта переходит в режим высокоимпедансного входа со слабым подтягиванием сигнала к уровню логической «1».

Выходы порта P3 могут выполнять альтернативные функции в соответствии со следующей таблицей.

Вывод	Альтернативная функция
P3.0	RxD – вход приемника последовательного порта
P3.1	TxD – выход передатчика последовательного порта
P3.2	INT0 – вход внешнего прерывания 0
P3.3	INT1 – вход внешнего прерывания 1 MISO – у ведущего SPI устройства вход, у ведомого - выход
P3.4	T0 – внешний вход таймера/счетчика 0
P3.5	T1 – внешний вход таймера/счетчика 1 CONVST – вход запуска преобразования АЦП при внешнем запуске
P3.6	WR# – сигнал разрешения записи во внешнюю память данных
P3.7	RD# – сигнал разрешения чтения из внешней памяти данных

DAC0, DAC1. Выходы ЦАП0 и ЦАП1.

RESET. Вход инициализации. Высокий уровень на этом входе в течение 24 периодов F_{osc} запускает процесс инициализации микроконтроллера.

ALE. Активное значение сигнала на этом выходе разрешает фиксацию младшего байта адреса (при 24-разрядном адресе – среднего байта) при обращениях к внешней памяти.

PSEN#. Активное значение сигнала на этом выходе разрешает чтение из внешней памяти программ. Для разрешения последовательной загрузки в ЭРПЗУ этот вывод должен быть через резистор подключен к земле на время включения питания или активного сигнала RESET.

EA#. Сигнал на этом входе переключает источник кода при обращении к младшим 8 Кбайтам памяти программ. При EA = 0 и диапазоне адресов 0000H – 1FFFH микроконвертер выполняет цикл обращения к

внешней памяти программ, при $EA = 1$ обращение по одному из этих адресов приводит к чтению кода из внутренней памяти.

SDATA/MOSI. Линия данных интерфейсов I²C, SPI.

SCLOCK. Линия синхронизации интерфейсов I²C, SPI.

XTAL1. Вход инвертирующего усилителя для синхрогенератора.

XTAL2. Выход инвертирующего усилителя для синхрогенератора.

CREF. Вывод подключения внешнего конденсатора к внутреннему источнику опорного напряжения (0,1 мкФ).

VREF. Вход/выход опорного напряжения для аналоговой части схемы. Этот вывод соединен с внутренним источником опорного напряжения. Напряжение (+2,5 В) появляется на нем при разрешенных АЦП и ЦАП.

3.2. Организация памяти и программно доступные ресурсы

Микроконвертер АД μ С812 имеет микроконтроллерное ядро с модернизированной архитектурой MCS-51. Точнее, основой является ядро 8XC52, но пространство внешней памяти данных увеличено до 16 Мбайт, а к внутренним ресурсам добавлено 640 байт энергонезависимой памяти данных типа ЭРПЗУ (рис. 3.3). Эта внутренняя память данных доступна косвенно через регистры специальных функций. Набор регистров, предназначенных для работы с внутренней энергонезависимой памятью данных, включен в состав регистров специальных функций.

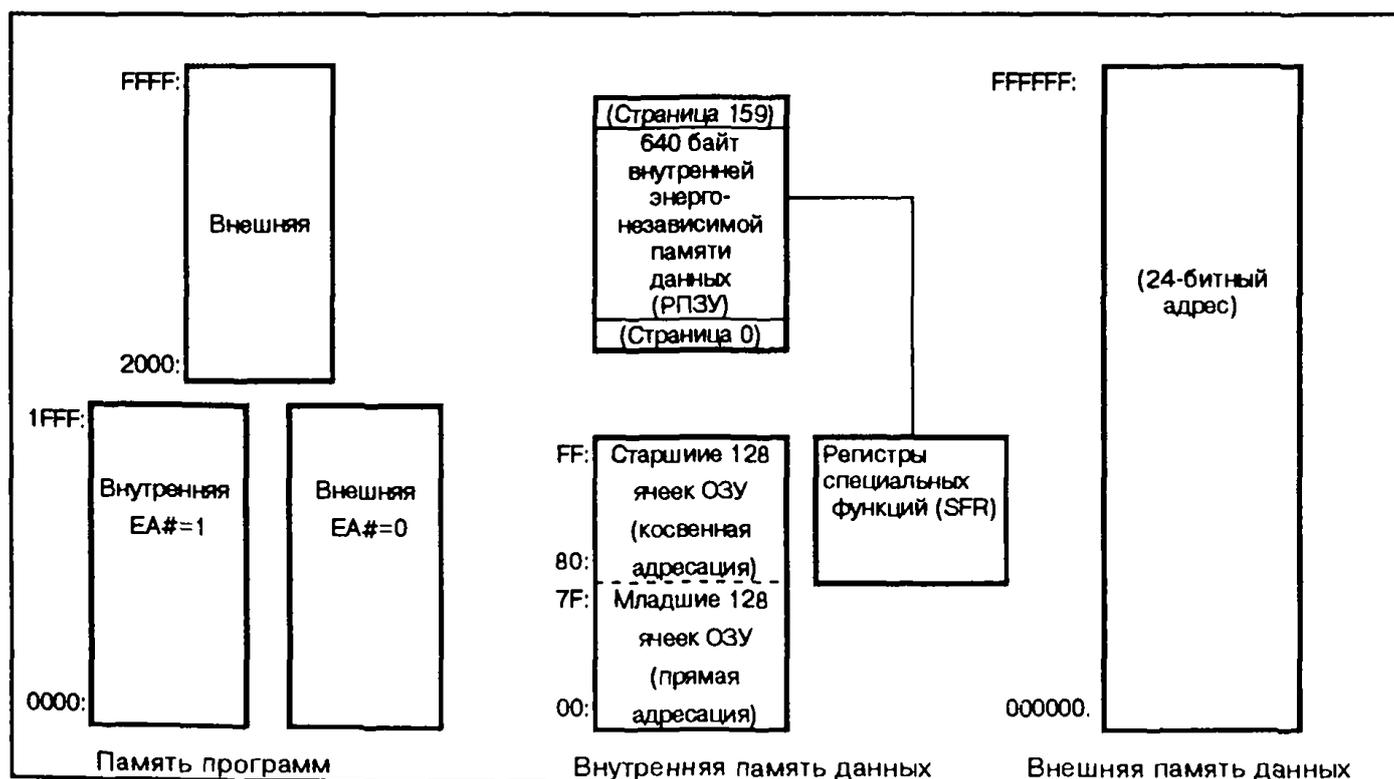


Рис. 3.3. Организация памяти и программно доступных ресурсов в АД μ С812

К блокам ввода/вывода исходного микроконтроллерного ядра добавлены: АЦП и два ЦАП, два интерфейса последовательных портов (SPI и I²C). Кроме того, надежность работы систем на основе микроконвертера существенно повышают введенные в его структуру блоки монитора напряжения питания и сторожевого таймера. Все регистры управления и данных перечисленных блоков также внесены в список регистров специальных функций микроконтроллерного ядра.

Ряд регистров специальных функций у микроконвертера AD μ C812 отсутствуют из-за упрощения порта UART, механизма прерываний и Таймера 2.

Область младших 128 байт внутреннего ОЗУ изображена на рис. 3.4.

Шестнадцатеричный										Десятичный	
адрес										адрес	
7F:											127
2F:	7F	7E	7D	7C	7B	7A	79	78			47
2E:	77	76	75	74	73	72	71	70			46
2D:	6F	6E	6D	6C	6B	6A	69	68			45
2C:	67	66	65	64	63	62	61	60			44
2B:	5F	5E	5D	5C	5B	5A	59	58			43
2A:	57	56	55	54	53	52	51	50			42
29:	4F	4E	4D	4C	4B	4A	49	48			41
28:	47	46	45	44	43	42	41	40			40
27:	3F	3E	3D	3C	3B	3A	39	38			39
26:	37	36	35	34	33	32	31	30			38
25:	2F	2E	2D	2C	2B	2A	29	28			37
24:	27	26	25	24	23	22	21	20			36
23:	1F	1E	1D	1C	1B	1A	19	18			35
22:	17	16	15	14	13	12	11	10			34
21:	0F	0E	0D	0C	0B	0A	09	08			33
20:	07	06	05	04	03	02	01	00			32
1F:	R7	БАНК3									31
18:	R0										24
17:	R7	БАНК2									23
10:	R0										16
0F:	R7	БАНК1									15
08:	R0										8
07:	R7	БАНК0									7
00:	R0										0

Рис. 3.4. Структура внутреннего ОЗУ данных

Ячейки ОЗУ занимают адреса внутренней памяти данных с 00H по 7FH. В этой области памяти выделяются два особых фрагмента:

- младшие 32 адреса занимают четыре регистровых банка, каждый из которых содержит по восемь регистров общего назначения R0 – R7.

Текущий банк определяется значением битов RS0, RS1 регистра PSW. Таким образом, младшие 32 ячейки ОЗУ, кроме адресов, имеют имена;

- ячейки с адресами в диапазоне 32 – 48 имеют прямо адресуемые биты, адреса битов этой части ОЗУ находятся в диапазоне 00H – 7FH.

На рис. 3.5 изображена область регистров специальных функций.

00H	03	DAC0L	00	DAC0H	00	DAC1L	00	DAC1H	00	DAC0CN	04		
B		ADCOFEL		ADCOHSH		ADCGAINL		ADCGAINH		ADCCON3			
F0	00	F1	00	F2	20	F3	00	F4	00	F5	00		
04H	00												
ACC													
E0	00												
08H	00	ADCDATL	00	ADCDATAH	00								
PSW				DMAI		DMAH		DMAPI					
D0	00			D2	00	D3	00	D4	00				
T2CON				RCAP2L		RCAP2H		TL2		TH2			
C8	00			CA	00	CB	00	CC	00	CD	00		
0CH	00							ETIMS				EDATA1	
								C4	00			C5	00
IP		ECON		ETIM1		ETIM2		EDATA1		EDATA2		EDATA3	
B8	00	B9	00	BA	52	BB	00	BC	00	BD	00	BE	00
P3													
B0	FF												
IE		IE2											
A8	00	A9	00										
P2													
A0	FF												
SCON		SBUF		I2CDAT		I2CADD							
98	00	99	00	9A	00	9B	00						
P1													
90	FF												
TCON		TMOD		TL0		TL1		TH0		TH1			
88	00	89	00	8A	00	8B	00	8C	00	8D	04		
P0		SP		DPL		DPH		DPP					PCON
80	FF	81	07	82	00	83	00	84	00				87
													00

Рис. 3.5. Регистры специальных функций AD μ C812. Указаны имя, адрес и начальное состояние каждого регистра

В область регистров специальных функций включены все программно доступные регистры (управления и данных) внутренних блоков ввода/вывода. Эта область формально занимает старшие 128 байт внутренней памяти данных, но обращение должно осуществляться по определенным адресам ячеек или отдельных битов. Обращение по промежуточным адресам приведет к ошибочному результату. Видно, что все регистры имеют как символические имена, так и адреса в качестве ячеек внутренней памяти. Часть регистров содержит прямо адресуемые биты, адреса этих битов находятся в диапазоне 80H – FFH. Кроме адресов эти биты имеют имена, которые predeterminedены в системах программирования. Таким образом, к

прямо адресуемым битам регистров специальных функций можно обращаться по именам. Если в регистре биты не прямо адресуемые, то их имена служат только для удобства описания функционирования соответствующего блока ввода/вывода. Для обращения к определенному биту должна производиться выборка байта, а затем накладываться нужная маска.

Назначение основных регистров специальных функций ядра 8XC52 следующее:

Имя регистра	Назначение
ACC	Аккумулятор, основной операционный регистр
B	Дополнительный регистр для операций умножения и деления
PSW	Регистр, хранящий слово состояния процессора
IP	Регистр приоритетов прерываний
P3	Регистр порта P3
IE	Регистр разрешения прерываний
P2	Регистр порта P2
SBUF	Регистр данных последовательного порта
SCON	Регистр управления последовательного порта
P1	Регистр порта P1
TH1	Старший регистр таймера/счетчика 1
TH0	Старший регистр таймера/счетчика 0
TL1	Младший регистр таймера/счетчика 0
TL0	Младший регистр таймера/счетчика 0
TMOD	Регистр режима таймеров/счетчиков
TCON	Регистр управления таймеров/счетчиков
PCON	Регистр управления энергопотреблением
SP	Регистр указателя стека
DPH, DPL	Указатель данных DPTR
P0	Регистр порта P0

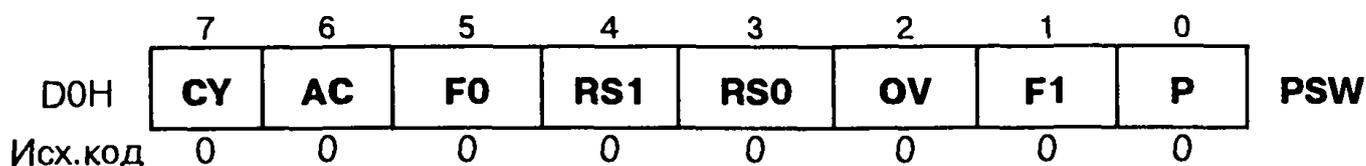
Отметим, что по сравнению с исходным ядром 8XC52 микроконвертер АД μ С812 имеет отличия в наборе регистров общего назначения:

1. добавлены регистры специальных функций АЦП, ЦАП, последовательных интерфейсов I2C и SPI, EEPROM, сторожевого таймера;
2. отсутствуют регистры T2MOD, SADEN, SADDR, IPH.

Эти отличия отмечены в карте регистров цветом. Отсутствие указанных регистров связано с упрощением Таймера 2, механизма приоритетов системы прерываний и последовательного порта UART. Эти особенности, а также формат остальных регистров специальных функций будут обсуждаться в разделах, посвященных описанию работы отдельных блоков ввода/вывода и системы прерываний. Здесь рассмотрим два основных регистра, которые непосредственно связаны с работой всего микроконвертера. Это регистр PSW, хранящий слово состояния процессора, и регистр

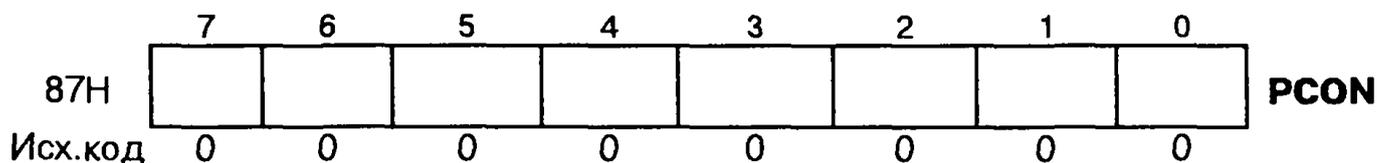
PCON, через который осуществляется управление режимами пониженного энергопотребления.

Формат регистра PSW и функции отдельных битов следующие:



Имя флага	Номер бита	Функция
CY	PSW.7	Флаг переноса
AC	PSW.6	Флаг вспомогательного переноса (между тетрадами)
FO	PSW.5	Флаг 0, возможно программирование пользователем в общих целях
RS1	PSW.4	Первый бит селектора регистрового банка
RS0	PSW.3	Нулевой бит селектора регистрового банка
OV	PSW.2	Флаг переполнения
F1	PSW.1	Флаг, определяемый пользователем
P	PSW.0	Флаг чётности. Устанавливается/очищается аппаратно каждый цикл инструкции и показывает нечётное/чётное число '1' в аккумуляторе

У микроконтроллеров, выполненных с использованием технологии CHMOS, обычно имеются режимы пониженного энергопотребления. В микроконвертере AD μ C812 управление этими режимами осуществляется при помощи регистра PCON.



Номер бита	Функция
PCON.7	Бит управления скоростью обмена последовательного порта. При SMOD=1 скорость обмена в режимах 1, 2, 3 удваивается.
PCON.6	Не используется.
PCON.5	Не используется.
PCON.4	Бит запрещения сигнала ALE. Если бит = 0 сигнал формируется, если бит = 1 на выводе всегда высокий потенциал.
PCON.3	Флаг общего назначения.
PCON.2	Флаг общего назначения.
PCON.1	Бит управления режимом микропотребления (power down). Если бит =1 этот режим включен.
PCON.0	Бит управления режимом холостого хода (idle). Если бит =1 этот режим включен.

Если установлены оба бита, PCON.1 и PCON.0, больший вес имеет бит PCON.1, и микроконтроллер переходит в режим микропотребления.

Режим микропотребления (Power down). Команда, в которой устанавливается бит PCON.1 является последней перед переходом в режим

микрopotребления. В этом режиме приостанавливается выполнение всех функций микроконтроллера, поскольку прекращает работать синхрогенератор. Состояние внутреннего ОЗУ данных сохраняется, содержимое регистров специальных функций теряется. Потребляемая мощность в режиме микрopotребления составляет около 20% от номинальной.

Выход из состояния микрopotребления может быть осуществлен только подачей активного сигнала на вход RESET.

Режим холостого хода (Idle). В этом режиме центральный процессор отключается, система прерываний, счетчики/таймеры и другие блоки ввода/вывода продолжают функционировать. Счетчик команд, регистры и внутреннее ОЗУ сохраняют свои значения. Последней выполняемой командой перед приостановкой процессора является команда, устанавливающая бит PCON.0. Потребляемая мощность в режиме холостого хода составляет около 50% от номинальной.

Одним из двух возможных способов выхода из режима холостого хода является формирование любого разрешенного запроса прерывания. Принятое на обслуживание прерывание сбрасывает бит PCON.0. После команды RETI процедуры обслуживания возобновляется выполнение основной программы. Флаги общего назначения регистра PCON могут использоваться процедурой прерывания для определения того, выполняется она в режиме холостого хода или в обычном режиме. Для этого, например, команда, устанавливающая флаг PCON.0, может установить определенную комбинацию в этих битах. В процедуре прерывания наличие этой комбинации должно проверяться.

Другим способом выхода из состояния холостого хода является подача активного сигнала на вход RESET. Длительность этого сигнала должна быть не менее 24 периодов частоты синхронизации.

3.3. Аналого-цифровой преобразователь

Блок АЦП представляет собой 8-канальный 12-разрядный аналого-цифровой преобразователь с быстродействием 5 мксек и однополярным питанием. Блок включает 9-канальный мультиплексор, встроенный источник опорного напряжения, систему калибровки и собственно преобразователь последовательного типа. Блок управляется через три регистра специальных функций.

Преобразователь воспринимает входные аналоговые сигналы в диапазоне от 0 до $+V_{REF}$. Может использоваться опорное напряжение V_{REF} , формируемое встроенным источником, либо подаваемое от внешнего источника. Встроенный источник опорного напряжения представляет собой прецизионную схему с низким дрейфом, откалиброванную на напряжение 2,5В. Опорное напряжение может использоваться внешними схемами, для этого оно выводится на линию V_{REF} . Аналоговые цепи микроконвертера

могут использовать внешнее опорное напряжение (в диапазоне от 2,3В до +AV_{DD}). При подаче этого напряжения на вывод V_{REF} оно подавляет внутреннее опорное напряжение.

В диапазоне входных напряжений АЦП от 0 до +V_{REF} смена кодов происходит посередине очередного приращения, равного младшему значащему разряду LSB (1/2LSB, 3/2LSBs, 5/2LSBs, .., FS-3/2LSBs). При V_{REF} = +2,5В 1LSB = 2.5В/4096 = 0.61 мВ. Идеализированная передаточная характеристика показана на Рис. 3.6.

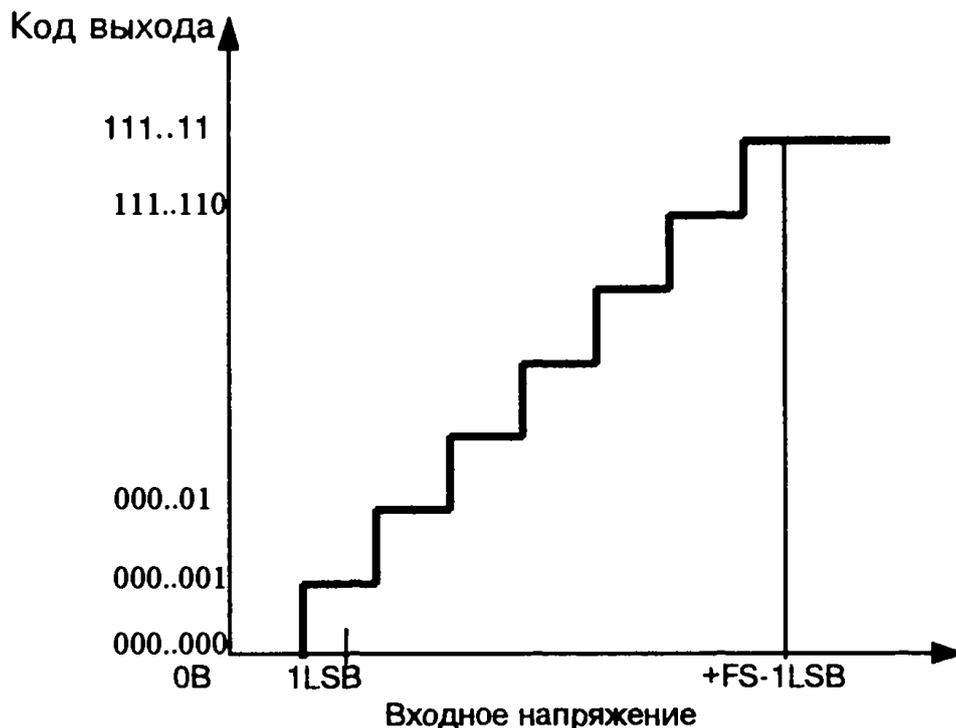


Рис. 3.6. Передаточная функция АЦП ADuC812

Режимы преобразования (однократный или циклический) могут быть установлены программно. Кроме того, преобразование может быть инициировано внешним сигналом запуска на выводе CONVST#. Для запуска повторяющегося процесса преобразования можно использовать сигнал Таймера 2.

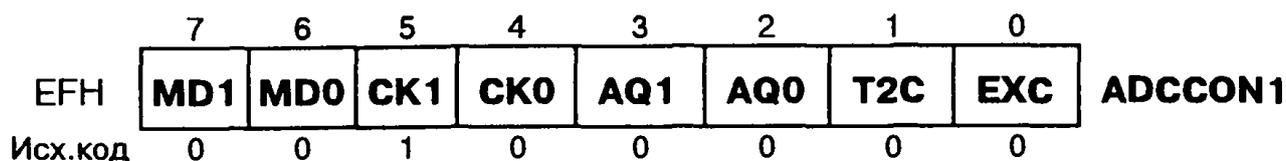
АЦП можно установить в режим передачи данных по каналу прямого доступа к памяти (DMA), когда блок повторяет циклы преобразования и посылает выборки во внешнюю память данных, минуя процессор. Этот процесс может использовать все 16 МБ внешней памяти данных.

Микроконвертер ADuC812 поставляется с заводскими калибровочными коэффициентами, которые загружаются автоматически после включения питания и обеспечивают оптимальную работу устройства. Блок АЦП содержит внутренние регистры калибровок смещения (ADCOFSL, ADCOFSH) и усиления (ADCGAINL, ADCGAINH), причем программная процедура калибровки пользователя подавляет заводские установки. Это дает возможность минимизировать ошибки в конечной системе. При необ-

ходимости через АЦП можно преобразовать сигнал внутреннего датчика температуры (канал 9).

Работой блока АЦП можно управлять через три регистра спецфункций: ADCCON1, ADCCON2 и ADCCON3. Регистрами данных блока АЦП являются ADCDATA1, ADCDATAH.

Регистр ADCCON1 управляет режимом работы АЦП, значением тактовой частоты АЦП, временем переключения каналов, внешним запуском. Регистр не имеет отдельно адресуемых битов.



Бит	Мнемоника	Описание															
ADCCON1.7 ADCCON1.6	MD1 MD0	Биты режима работы АЦП. Определяют следующие режимы работы: <table border="1" style="border-collapse: collapse; width: 100%; margin-top: 5px;"> <tr> <th style="text-align: center;">MD1</th> <th style="text-align: center;">MD0</th> <th style="text-align: left;">Режим работы АЦП</th> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>Режим микропотребления</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>Нормальный режим</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>Режим микропотребления, если нет преобразования</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>Пассивный режим, если нет преобразования</td> </tr> </table>	MD1	MD0	Режим работы АЦП	0	0	Режим микропотребления	0	1	Нормальный режим	1	0	Режим микропотребления, если нет преобразования	1	1	Пассивный режим, если нет преобразования
MD1	MD0	Режим работы АЦП															
0	0	Режим микропотребления															
0	1	Нормальный режим															
1	0	Режим микропотребления, если нет преобразования															
1	1	Пассивный режим, если нет преобразования															
ADCCON1.5 ADCCON1.4	СК1 СК0	Биты деления тактовой частоты. Определяют коэффициент деления основной частоты микроконтроллера для получения тактовой частоты АЦП. Цикл преобразования АЦП занимает 16 тактов поделенной частоты, в дополнение к числу тактов переключения. <table border="1" style="border-collapse: collapse; width: 100%; margin-top: 5px;"> <tr> <th style="text-align: center;">СК1</th> <th style="text-align: center;">СК0</th> <th style="text-align: left;">Делитель для MCLK</th> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>1</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>2</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>4</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>8</td> </tr> </table>	СК1	СК0	Делитель для MCLK	0	0	1	0	1	2	1	0	4	1	1	8
СК1	СК0	Делитель для MCLK															
0	0	1															
0	1	2															
1	0	4															
1	1	8															
ADCCON1.3 ADCCON1.2	AQ1 AQ0	Биты задержки переключения. Выбирают время, необходимое для переключения мультимплексора: <table border="1" style="border-collapse: collapse; width: 100%; margin-top: 5px;"> <tr> <th style="text-align: center;">AQ1</th> <th style="text-align: center;">AQ0</th> <th style="text-align: left;">Число тактов задержки запуска АЦП</th> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>1</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td>2</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>3</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>4</td> </tr> </table> Если импеданс источника сигналов <8 Ком, может быть AQ1-AQ0=00. Иначе задержку увеличивают до 2 – 4 тактов.	AQ1	AQ0	Число тактов задержки запуска АЦП	0	0	1	0	1	2	1	0	3	1	1	4
AQ1	AQ0	Число тактов задержки запуска АЦП															
0	0	1															
0	1	2															
1	0	3															
1	1	4															
ADCCON1.1	T2C	Бит запуска преобразования от Таймера 2. Если бит установлен, то сигнал переполнения Таймера 2 используется для запуска АЦП.															
ADCCON1.0	EXC	Бит разрешения внешнего запуска. Если установлен, то сигнал на выводе CONVST# будет использоваться как сигнал запуска (активный низкий уровень должен длиться не менее 100 нс).															

Бит	Мнемоника	Описание
ADCCON3.7	BUSY	Бит занятости АЦП (только для чтения). Устанавливается на время преобразования или калибровки АЦП. Автоматически очищается по завершении цикла преобразования или калибровки.
ADCCON3.6 ADCCON3.0	RSVD	Биты ADCCON3.6- ADCCON3.0 – зарезервированы. Они считываются с нулевым значением, и в них следует записывать только нули.

При использовании внутреннего источника опорного напряжения параллельно выводам V_{REF} и C_{REF} должны быть подключены конденсаторы 100 нФ (второй вывод каждого конденсатора соединен с аналоговой землей AGND). Емкости следует располагать возможно ближе к выводам. Если напряжение V_{REF} внутреннего источника опорного напряжения предполагается использовать во внешних схемах, эту линию нужно дополнительно буферизировать. Следует отметить, что внутренний источник опорного напряжения будет выключен до тех пор, пока АЦП или ЦАП не будут активизированы соответствующими битами разрешения.

После программирования блока АЦП с использованием регистров ADCCON1-3 он начнет выполнять преобразования аналоговых входных сигналов и формировать 12-разрядные выходные коды в регистрах ADCDATAN(L). В старшие четыре разряда регистра ADCDATAN записывается номер канала. Формат слова результата показан на рис. 3.7.

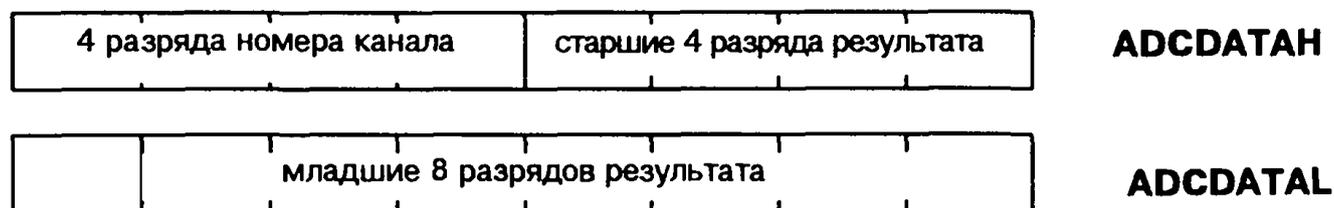


Рис. 3.7. Формат слова результата АЦП-преобразования

Внутренний АЦП способен осуществлять выборки каждые 5 мксек. Таким образом, программа пользователя должна обслужить прерывание (прочитать результат и записать его для дальнейшей обработки) в течение 5 мксек, иначе результат следующей выборки может быть потерян. Для приложений, в которых процессор не успевает обслужить прерывания, предусмотрен режим прямого доступа к памяти. Режим DMA включается битом ADCCON2.6. после чего АЦП работает в соответствии с запрограммированным режимом, а результат каждой выборки записывается во внешнюю память данных, минуя микропроцессор. Этот режим работы обеспечивает реализацию максимального быстродействия АЦП. До включения режима DMA необходимо разметить внешнюю память, в которую будут записываться выборки. Разметка состоит в записи номеров каналов во внешнюю память. На рис. 3.8 показана типовая разметка внешней памяти. После завершения разметки в регистры DMAP, DMAH и DMAL заносится стартовый адрес DMA. В примере на рис. 3.8 этот адрес равен

000000H. Три байта стартового адреса должны быть записаны в следующем порядке: DMAL, DMAH, DMAP. Конец таблицы DMA указывается записью кода «1111» в поле номера канала. Теперь можно инициировать режим DMA установкой бита разрешения (ADCCON2.6, DMA).

00000AH	1	1	1	1	команда СТОП
	0	0	1	1	повторить последний канал
	0	0	1	1	для данных канала №3
	1	0	0	0	для данных с датчика температуры
	0	1	0	1	для данных канала №5
000000H	0	0	1	0	для данных канала №2

Рис. 3.8. Разметка внешней памяти данных для режима DMA

Режим DMA включается только в том случае, если пользователь предварительно установил время преобразования и режим запуска в регистрах ADCCON1 и ADCCON2. В конце цикла DMA устанавливается бит прерывания АЦП (ADCCON2.7, ADCI), а внешняя память данных оказывается загруженной результатами, как показано на рис. 3.9. Результаты разметки сохраняются.

00000AH	1	1	1	1	данные не записываются
					мл.байт данных канала №3
	0	0	1	1	ст.байт данных канала №3
					мл.байт данных канала №3
	0	0	1	1	ст.байт данных канала №3
					мл.байт данных датчика температуры
	1	0	0	0	ст.байт датчика температуры
					мл.байт данных канала №5
	0	1	0	1	ст.байт данных канала №5
					мл.байт данных канала №2
000000H	0	0	1	0	ст. байт данных канала №2

Рис. 3.9. Внешняя память данных после цикла DMA

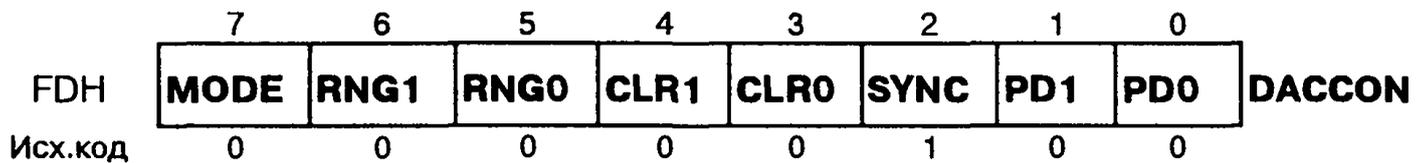
Во время цикла DMA процессор свободен и может выполнять команды, однако доступ процессора к портам Port2 и Port0 (которые используются контроллером DMA) в это время запрещен. Это означает, что если при выполнении программы встретится обращение к портам Port2 и Port0, данные с внешних выводов прочитаны не будут. Как только блок данных DMA будет записан во внешнюю память, инициируется прерывание и процедура обслуживания может обработать данные уже не соблюдая требований реального времени.

3.4. Цифро-аналоговые преобразователи

Микроконвертер AD μ C812 содержит на кристалле два 12-разрядных ЦАП. Они управляются регистром управления DACCON, данные хранятся в регистрах данных DAC0L/DAC1L и DAC0H/DAC1H.

Значение на выходе каждого ЦАП модифицируется после записи в регистр младшего байта данных (DACxL). Возможна одновременная установка новых значений в обоих ЦАП, для этого предусмотрен бит SYNC в регистре DACCON. При 8-разрядном режиме работы байт, записанный в регистры DACxL, автоматически направляется в верхнюю часть 12-разрядного регистра данных.

Регистр DACCON управляет режимами работы обоих ЦАП, его биты имеют следующее назначение:



Бит	Мнемоника	Описание
DACCON.7	MODE	Бит устанавливает режим работы обоих ЦАП Если = 1, то 8-разрядный режим преобразования (запись 8 бит в DACxL) Если = 0, то 12-разрядный режим преобразования
DACCON.6	RNG1	Бит выбора диапазона ЦАП1 Если = 1, то диапазон 0..Vdd Если = 0, то диапазон 0..Vref
DACCON.5	RNG0	Бит выбора диапазона ЦАП0 Если = 1, то диапазон 0..Vdd Если = 0, то диапазон 0..Vref
DACCON.4	CLR1	Бит очистки ЦАП1 Если = 1, то значение на выходе ЦАП1 соответствует коду Если = 0, то значение на выходе ЦАП1=0В
DACCON.3	CLR0	Бит очистки ЦАП0 Если = 1, то значение на выходе ЦАП0 соответствует коду Если = 0, то значение на выходе ЦАП0=0В
DACCON.2	SYNC	Бит синхронизации ЦАП0/1 Если=1, то выходы ЦАП изменяются, как только данные записаны в регистры DACxL. Можно одновременно обновить выходы обоих ЦАП, если предварительно записать данные в DACxL/H при SYNC=0, а затем установить SYNC=1
DACCON.1	PD1	Бит выключения ЦАП1 Если = 1, то ЦАП1 включен Если = 0, то ЦАП1 выключен
DACCON.0	PD0	Бит выключения ЦАП0 Если = 1, то ЦАП0 включен Если = 0, то ЦАП0 выключен

3.5. Таймеры/счетчики

Микроконвертер AD μ C812 имеет три 16-разрядных таймера/счетчика: Таймер 0, Таймер 1 и Таймер 2. Структура и режимы работы таймеров/счетчиков соответствуют общим принципам архитектуры MCS-51, изложенным в главе 2. Здесь мы для удобства работы с микроконвертером приведем краткую информацию о регистрах и управлении таймерами/счетчиками.

Каждый таймер/счетчик может быть запрограммирован на работу в качестве либо таймера (отсчет времени через подсчет внутренних импульсов синхронизации), либо счетчика (подсчет событий на внешнем входе). В обоих случаях переполнение счетного регистра приводит к формированию запроса прерывания.

Таймеры 0 и 1. Выбор режима работы Таймеров 0 и 1 производится битами C/Tx# (x = 0,1) регистра TMOD. Подсчет событий производится посредством инкремента программно доступного регистра данных, который состоит из регистра младшего байта TLx и регистра старшего байта THx.

При работе в режиме таймера (C/Tx# = 0) регистр TLx наращивается в каждом машинном цикле и частота счета равна $F_{osc}/12$.

В режиме счетчика (C/Tx# = 1) регистр TLx наращивается при переходе сигнала на входе Tx из «1» в «0». Для уверенной фиксации перепада сигнал должен удерживаться в каждом значении по крайней мере один машинный цикл, максимальная частота счета составляет $F_{osc}/24$.

Таймеры 0 и 1 обслуживаются регистром режима TMOD и регистром управления TCON.

	7	6	5	4	3	2	1	0	
89H	GATE1	C/T1#	M1.1	M1.0	GATE0	C/T0#	M0.1	M0.0	TMOD
Исх.код	0	0	0	0	0	1	0	0	
	7	6	5	4	3	2	1	0	
88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	TCON
Исх.код	0	0	0	0	0	1	0	0	

Имя бита	Номер бита	Функция
GATE1	TMOD.7	Бит управления Таймером 1. При GATE1=1 Таймер 1 работает всегда при TR1=1. При GATE1=0 для работы необходимо условие TR1=1 и INT1#=1.
C/T1#	TMOD.6	Бит выбора типа событий для Таймера 1. При C/T1#=1 он работает как счетчик, при C/T1#=0 как таймер.
M1.1	TMOD.5	Бит 1 определения режима работы Таймера 1.
M1.0	TMOD.4	Бит 0 определения режима работы Таймера 1.

GATE0	TMOD.3	Бит управления Таймером 0. При GATE0=1 Таймер 0 работает всегда при TR0=1. При GATE0=0 для работы необходимо условие TR0=1 и INT0#=1.
C/T0#	TMOD.2	Бит выбора типа событий для Таймера 0. При C/T0#=1 он работает как счетчик, при C/T0#=0 как таймер.
M1.0	TMOD.1	Бит 1 определения режима работы Таймера 0.
M0.0	TMOD.0	Бит 0 определения режима работы Таймера 0.

Имя бита	Номер бита	Функция
TF1	TCON.7	Флаг переполнения Таймера 1. Устанавливается при переходе счетного регистра таймера из состояния FFH в состояние 00H. Очищается при передаче управления на процедуру обработки прерывания.
TR1	TCON.6	Бит запуска Таймера 1. При TR1=1 счет разрешен.
TF0	TCON.5	Флаг переполнения Таймера 0. Устанавливается при переходе счетного регистра таймера из состояния FFH в состояние 00H. Очищается при передаче управления на процедуру обработки прерывания.
TR0	TCON.4	Бит запуска Таймера 0. При TR0=1 счет разрешен.
IE1	TCON.3	Флаг запроса прерывания по вход INT1#.
IT1	TCON.2	Бит селектора типа активного сигнала на входе INT1#. При IT1=1 активным является переход "1"- "0", при IT1=0 активным является низкий уровень сигнала.
IE0	TCON.1	Флаг запроса прерывания по вход INT0#.
IT0	TCON.0	Бит селектора типа активного сигнала на входе INT0#. При IT0=1 активным является переход "1"- "0", при IT0=0 активным является низкий уровень сигнала.

Биты M1 и M0 следующим образом определяют режимы работы этих таймеров/счетчиков:

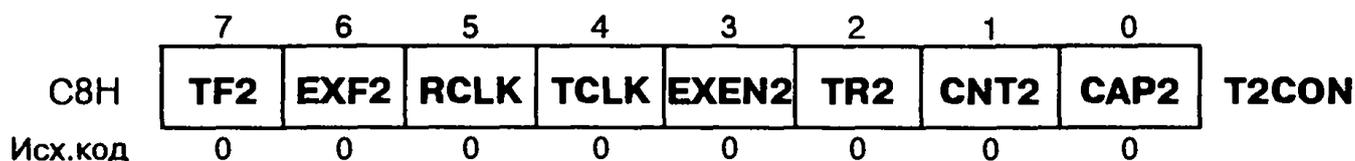
M1	M0	Режим работы
0	0	Режим 0. THx как 8-разрядный таймер/счетчик. TLx как 5-разрядный предделитель
0	1	Режим 1. 16-разрядный таймер/счетчик. THx и TLx включены последовательно
1	0	Режим 2. 8-разрядный таймер/счетчик TLx с автоперезагрузкой значением из THx
1	1	Режим 3. TL0 как 8-разрядный таймер/счетчик, управляемый битами управления Таймера 0. TH0 как 8-разрядный таймер/счетчик, управляемый битами управления Таймера 1. Таймер 1 не работает.

Счет разрешается битом TRx, если бит GATEx=0. Когда счетное значение переходит из состояния все «1» в состояние все «0», устанавливается флаг запроса прерывания TFx. Установка бита GATEx = 1 дает возможность управлять таймером от входа INTx# и измерять таким образом ширину импульсов. Установка битов запуска не очищает счетные регистры.

Таймер 2. Представляет собой 16-разрядный таймер/счетчик, который способен работать в трех режимах. Режимы работы определяются комбинациями битов управления регистра T2CON.

RCLK+TCLK	CP/RL2#	TR2	Режим
0	0	1	16-разрядный таймер/счетчик с автоперезагрузкой
0	1	1	16-разрядный таймер/счетчик с захватом (фиксацией) текущего значения
1	X	1	Задающий генератор для последовательного порта

Шестнадцатиразрядный регистр данных Таймера 2 состоит из регистров TH2 и TL2. Данные захвата, а также данные для перезагрузки хранятся в регистрах RCAP2H и RCAP2L, а регистром управления является T2CON.



Имя бита	Номер бита	Функция
TF2	T2CON.7	Флаг переполнения Таймера 2. Устанавливается при переходе счетного регистра таймера из состояния FFH в состояние 00H. Должен очищаться программно. TF2 не устанавливается, если RCLK=1 или TCLK=1.
EXF2	T2CON.6	Флаг внешнего события Таймера 2. Устанавливается по перепаду "1"- "0" на входе T2EX, если EXEN2=1. Является запросом прерывания от Таймера 2.
RCLK	T2CON.5	Бит выбора источника синхрочастоты для приемника последовательного порта в его режимах 1 и 3. При RCLK=1 источником является Таймер 2, при RCLK=0 источником является Таймер 1.
TCLK	T2CON.4	Бит выбора источника синхрочастоты для передатчика последовательного порта в его режимах 1 и 3. При TCLK=1 источником является Таймер 2, при TCLK=0 источником является Таймер 1.
EXEN2	T2CON.3	Бит разрешения внешнего события Таймера 2. При EXEN2=1 разрешена установка флага EXF2.
TR2	TCON.2	Бит запуска/останова Таймера 2. При TR2=1 таймер запускается.
CNT2	T2CON.1	Бит выбора типа событий для Таймера 2. При CNT2=1 он работает как счетчик, при CNT2=0 как таймер.
CAP2	TCON.0	Бит выбора режима Таймера 2. При CAP2#=1 по перепаду "1"- "0" на входе T2EX происходит захват состояния. При CAP2=0 по перепаду "1"- "0" на входе T2EX или по переполнению Таймера 2 переходит автоперезагрузка.

Выбор типа фиксируемых Таймером 2 событий определяется битом C/T2# регистра T2CON. При C/T2#=1 он работает как счетчик, а при

Бит	Мнемоника	Описание
SCON.7	SM0	Биты управления режимами работы SM0 SM1 Режимы работы Скорость обмена 0 0 8-битный сдвиговый регистр $F_{osc}/12$ 0 1 8-битный асинхронный обмен Скорость переполнения таймера/32 (x2) 1 0 9-битный асинхронный обмен $F_{osc}/64$ (x2) 1 1 9-битный асинхронный обмен Скорость переполнения таймера/32 (x2)
SCON.6	SM1	
SCON.5	SM2	
SCON.4	REN	
SCON.3	TB8	9-й бит передаваемого кадра в режимах 2 и 3
SCON.2	RB8	9-й бит принятого кадра в режимах 2 и 3
SCON.1	TI	Флаг прерывания передатчика
SCON.0	RI	Флаг прерывания приемника

Порт SPI. Последовательный порт SPI обеспечивает скоростной синхронный обмен данными. Максимальная скорость передачи данных через порт SPI микроконвертера AD μ C812 достигает 4 Мбит/сек при $F_{osc}=16$ МГц. Данные передаются пакетами по 8 бит. Кроме двух линий данных в состав SPI-интерфейса входят линии CSx# выбора устройств и линия синхронизации SCLOCK (рис. 3.10).

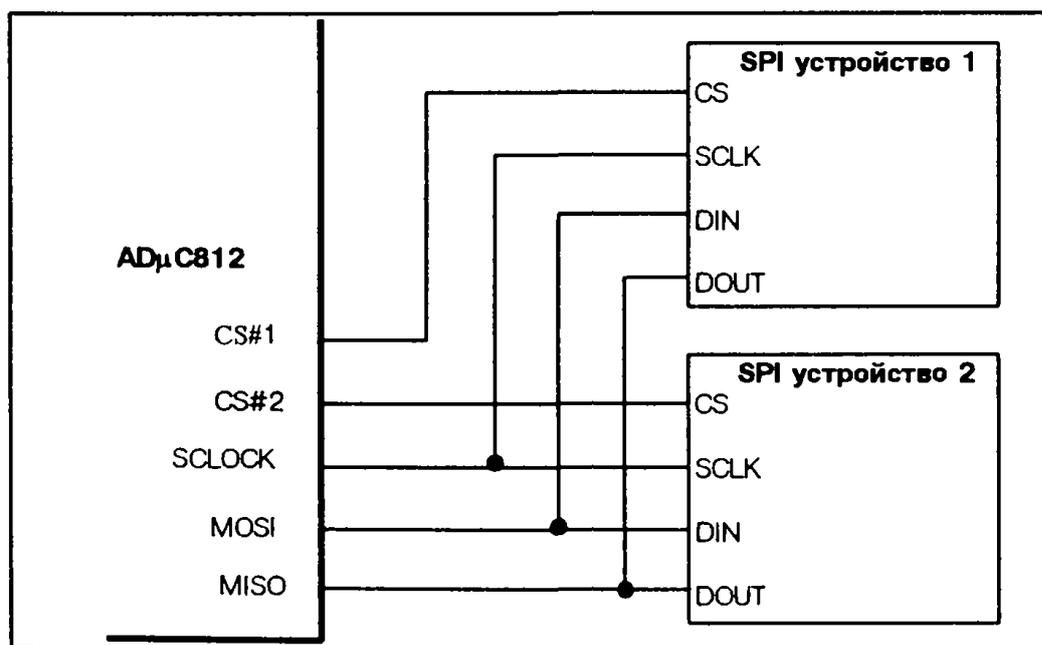


Рис. 3.10. Соединение устройств по каналу SPI

Интерфейс SPI является локальным, для совместной работы устройств достаточно согласовать уровни на линиях (питание устройств +3 В или

+5 В). С точки зрения программирования, драйвер микроконвертера АД μ С812, обслуживающий связь с конкретным SPI устройством, должен обеспечить передачу и прием данных в соответствии со спецификацией этого устройства. Протоколы обмена и временные диаграммы обеспечиваются встроенными в микроконтроллер и каждое устройство блоками SPI-интерфейса.

При необходимости можно передавать данные в обоих направлениях по одной линии с разделением времени. Чтобы при этом исключить экстремальные состояния, если оба устройства захотят выдать данные на линию одновременно, в линию данных включается последовательно резистор номиналом 1 – 10 кОм.

Соединение между ведущим и ведомым устройствами с использованием SPI интерфейса, показано на рис. 3.11. Вывод SCLOCK является выходом тактового сигнала ведущего устройства и входом тактового сигнала ведомого. После команды записи ведущим устройством в регистр данных SPI-порта начинает работать тактовый генератор интерфейса SPI и записанные данные сдвигаются через вывод MOSI ведущего микроконтроллера на вывод MOSI ведомого. После сдвига байта данных тактовый генератор останавливается, устанавливается флаг окончания передачи ISPI. Если в регистре IE2 установлен бит разрешения прерывания ESI, то возникнет запрос прерывания.

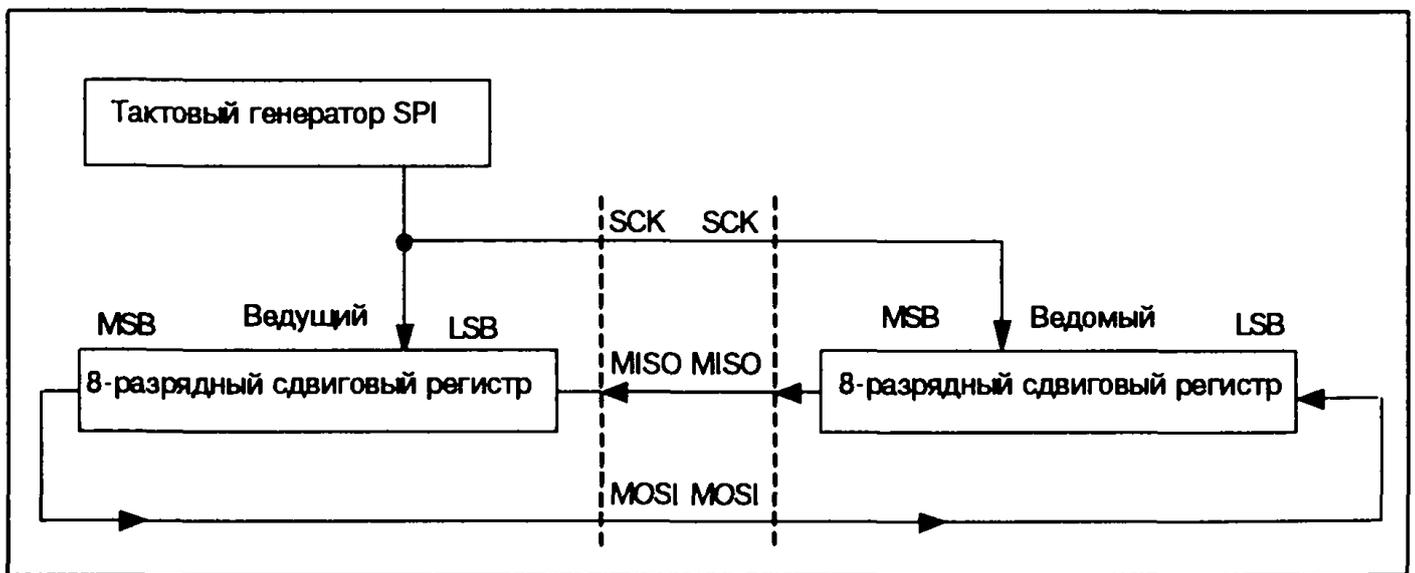


Рис. 3.11. Обмен данными между устройствами по каналу SPI

Для выбора SPI-устройства в качестве ведомого служит вход SS# с активным низким уровнем сигнала. Режим ведущий/ведомый может быть установлен и программным способом посредством установки или очистки бита SPIM в регистре управления SPICON.

Два сдвиговых регистра ведущего и ведомого микроконтроллеров можно рассматривать как один разнесенный 16-разрядный циклический сдвиговый регистр. При сдвиге данных из ведущего микроконтроллера в

ведомый одновременно происходит сдвиг данных из ведомого микроконтроллера в ведущий, т.е. в течение одного цикла сдвига происходит обмен данными между ведущим и ведомым микроконтроллерами.

Передаваемые символы не могут быть записаны в регистр данных SPI прежде, чем будет полностью завершен цикл сдвига. С другой стороны, при приеме данных принимаемый символ должен быть считан из регистра данных SPI прежде, чем будет завершен прием следующего символа, в противном случае предыдущий символ будет потерян.

Существует четыре варианта комбинации фазы и полярности сигнала SCLOCK относительно данных. Они задаются битами CPHA и CPOL. Форматы передачи данных по каналу SPI показаны на рис. 3.12.

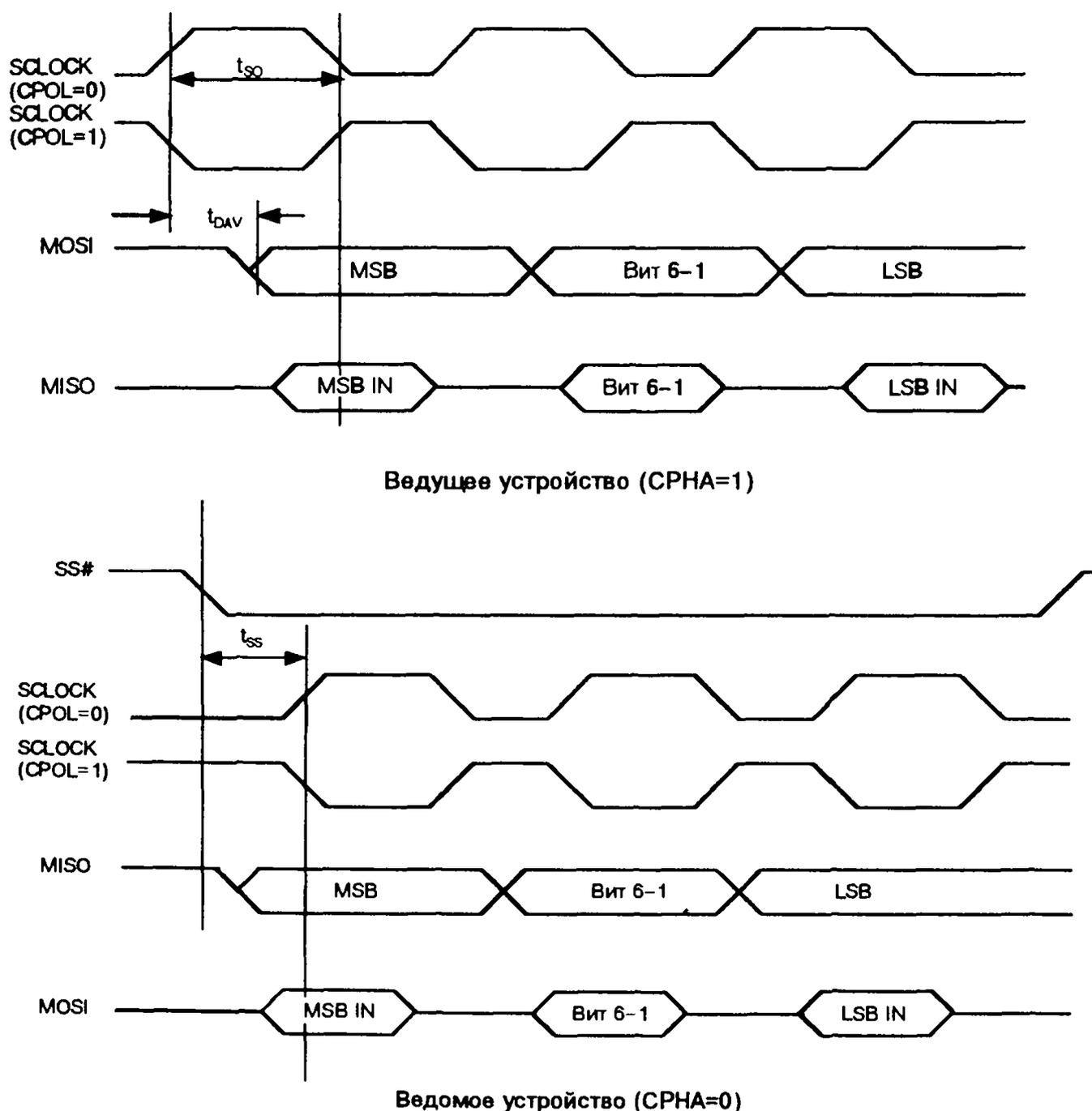
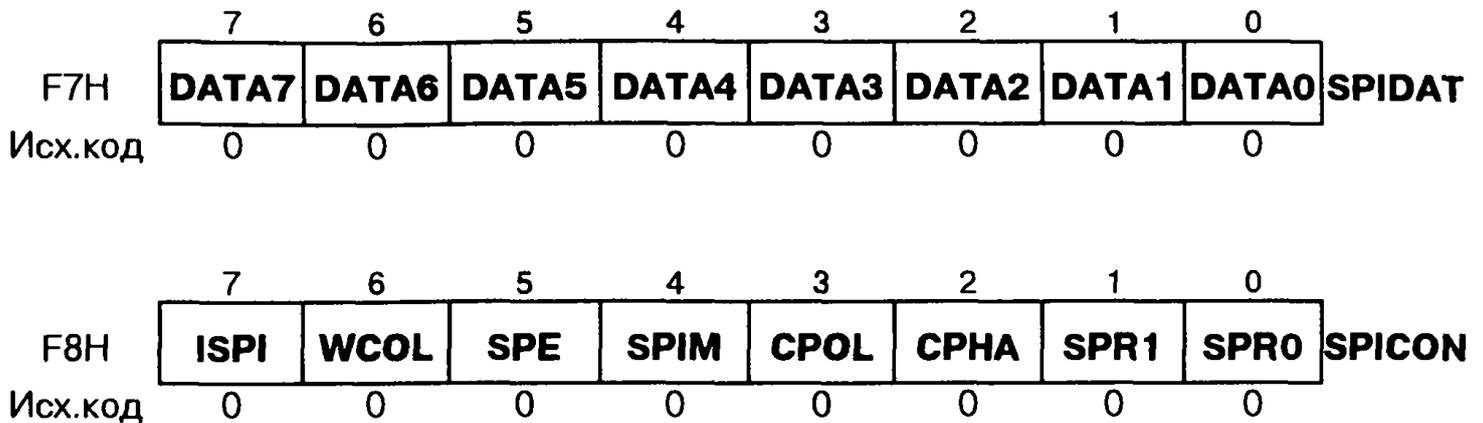


Рис. 3.12. Передача данных по каналу SPI при различных комбинациях фазы и полярности синхросигнала относительно данных

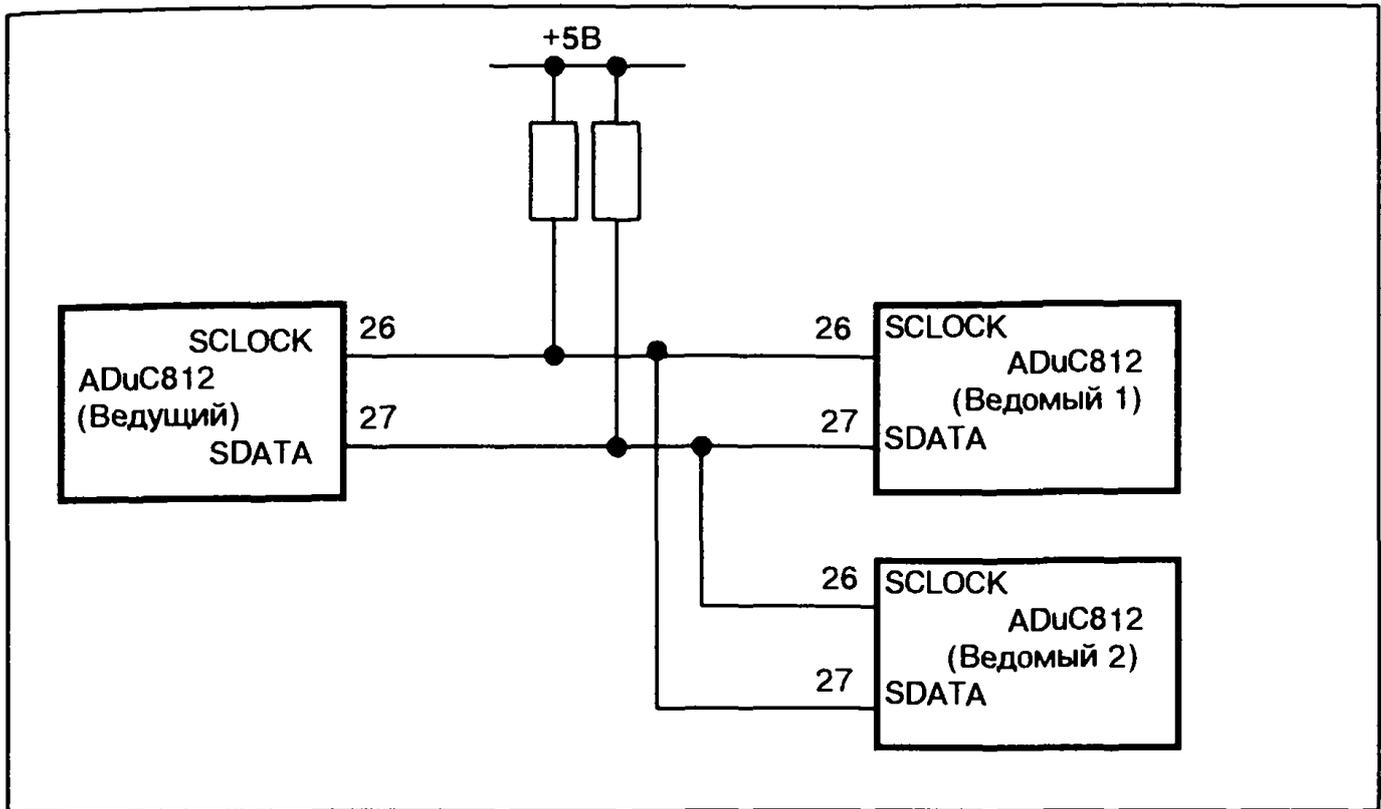
Регистр SPIDAT является регистром данных порта SPI, а регистр SPICON управляет режимом работы порта SPI, а также содержит флаги прерывания и ошибки записи. Этот регистр управления имеет индивидуально программируемые биты.



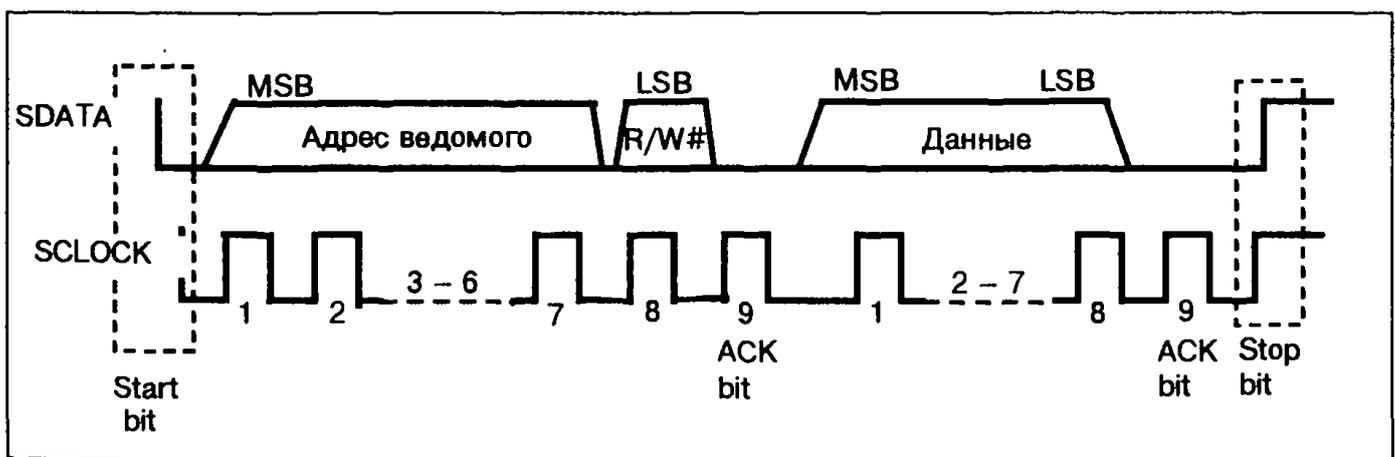
Бит	Мнемоника	Описание
SPICON.7	ISPI	Флаг прерывания порта SPI. Бит устанавливается аппаратно в конце передачи
SPICON.6	WCOL	Флаг ошибки записи
SPICON.5	SPE	Бит разрешения SPI Если = 1, то порт разрешен Если = 0, то порт запрещен
SPICON.4	SPIM	Бит установки режима ведущего Если = 1, то устройство является ведущим Если = 0, то устройство является ведомым
SPICON.3	CPOL	Бит выбора полярности синхросигнала Если = 1, то пассивный уровень высокий Если = 0, то пассивный уровень низкий
SPICON.2	CPHA	Бит выбора фазы синхросигнала Если = 1, то фиксация по спадающему фронту Если = 0, то фиксация по нарастающему фронту
SPICON.1 SPICON.0	SPR1 SPR0	Биты выбора коэффициента деления синхросигнала процессора для образования синхросигнала SPI $F_{spi} = F_{osc} / [4, 8, 32, 64]$

Порт I²C. Последовательный порт I²C обеспечивает меньшую скорость обмена, чем порт SPI. Его преимуществом является возможность передавать данные по локальной шине всего из двух линий, поскольку адрес устройства входит в посылку. По одной из линий передаются данные, а вторая служит для передачи синхросигнала. Каждая линия «подтянута» через резистор 1 – 10 кОм к потенциалу шины питания (рис. 3.13).

Скорость обмена по каналу I²C определяется частотой синхросигнала SCLOCK, который формирует ведущее устройство.

Рис. 3.13. Организация последовательного канала I²C

Передача начинается стартовым битом, который идентифицируется в том случае, когда на линии данных имеет место переход «1» – «0», а линия синхронизации имеет потенциал «1» (рис. 3.14).

Рис. 3.14. Передача данных по каналу I²C

За стартовым битом ведущее устройство посылает байт (у которого первым следует старший бит MSB), содержащий адрес ведомого устройства и бит управления R/W# (рис. 3.15). Этот бит управляет направлением передачи: при R/W# = 0 ведущее устройство будет записывать данные в ведомое, а при R/W# = 1 будет читать.



Рис. 3.15. Формат первого байта передачи по каналу I²C

Операция чтения/записи будет иметь место, если будет получен правильный бит подтверждения от ведомого устройства (рис. 3.16). Все ведомые устройства сравнивают посланный ведущим устройством адрес со своим собственным и устройство, идентифицировавшее адрес как свой, посылает бит подтверждения. Бит подтверждения представляет собой «0» во время 9-го импульса синхронизации и должен посылаться ведомым устройством в конце каждого байта обмена.

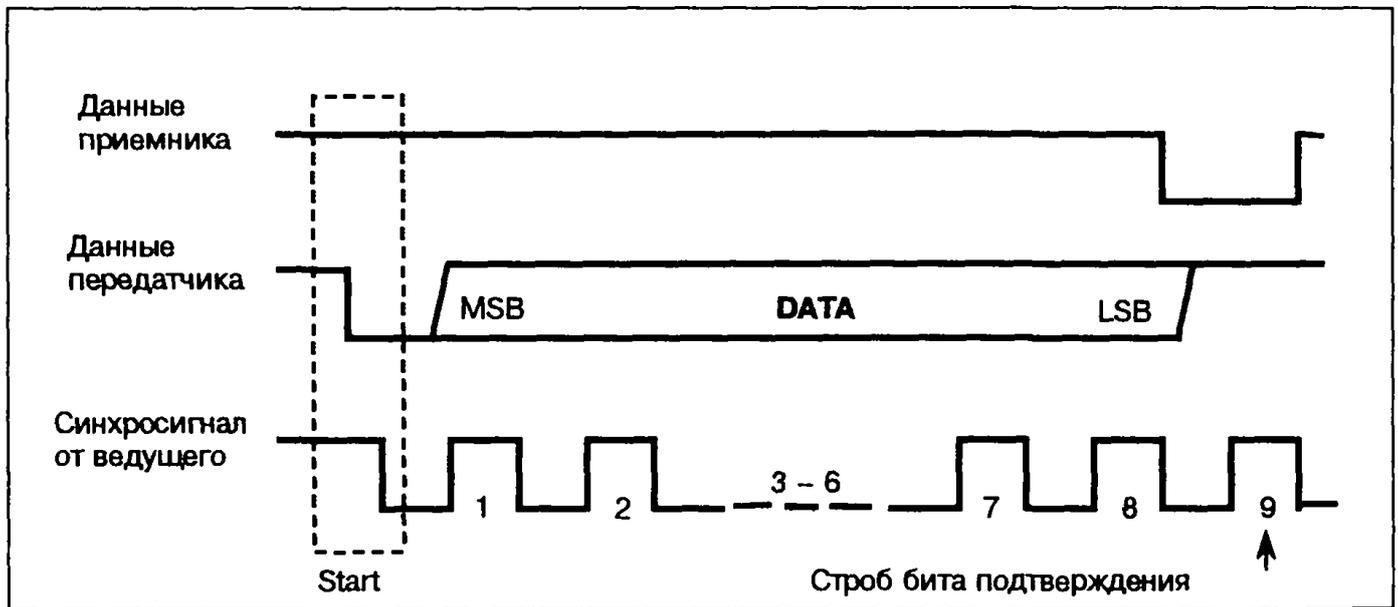


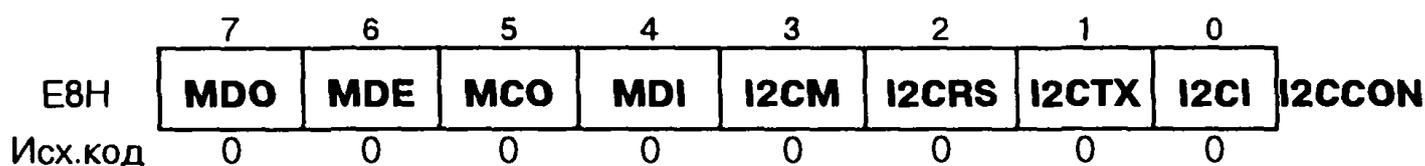
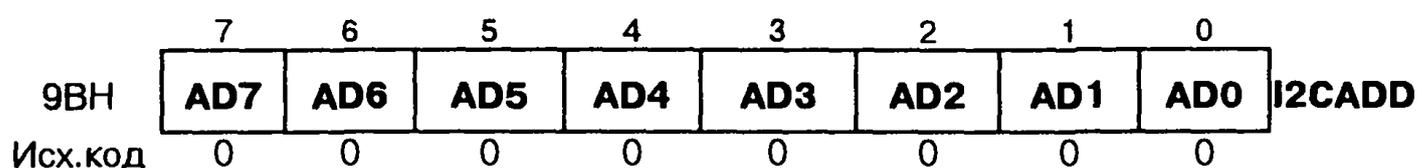
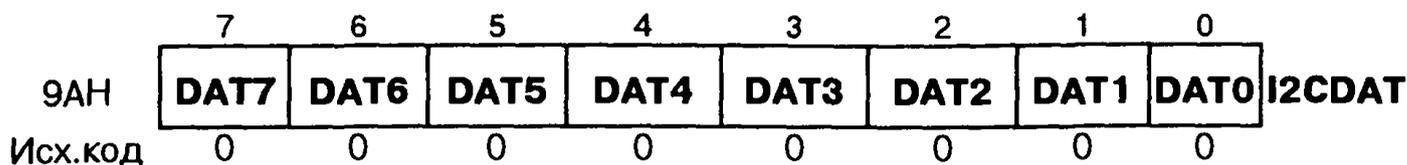
Рис. 3.16. Подтверждение от ведомого на шине I²C

При отсутствии бита подтверждения и в конце обмена ведущее устройство формирует условие «STOP». Этим условием является переход «0» – «1» на линии данных при «1» на линии синхронизации.

В микроконвертере AD μ 812 порт I²C обеспечивает аппаратную реализацию режима ведомого и программную реализацию режима ведущего. После включения питания или инициализации порт I²C настроен на режим ведомого.

Регистр I2CDAT является регистром данных, регистр I2CADD является регистром адреса, а регистр I2CCON – регистром управления порта I²C.

Регистр I2CCON управляет режимом работы порта I²C, а также содержит флаг прерывания. Этот регистр управления имеет индивидуально программируемые биты.



Бит	Мнемоника	Описание
I2CCON.7	MDO	Бит данных на выходе в режиме ведущего.
I2CCON.6	MDE	Бит разрешения выходных данных в режиме ведущего.
I2CCON.5	MCO	Бит синхронизации на выходе режиме ведущего.
I2CCON.4	MDI	Бит данных на входе в режиме ведущего.
I2CCON.3	I2CM	Бит выбора режима ведущего.
I2CCON.2	I2CRS	Бит инициализации порта I ² C.
I2CCON.1	I2CTX	Бит статуса передачи.
I2CCON.0	I2CI	Флаг прерывания порта I ² C.

Ведомое устройство использует три младших бита регистра I2CCON. Поскольку этот режим поддержан аппаратно, идентификация бита START, выдача бита подтверждения, определение конца передачи и формирование запроса прерывания выполняются автоматически.

Ведущее устройство использует старшие четыре бита регистра I2CCON для формирования сигналов на линиях SCLOCK и SDATA. Поскольку режим ведущего реализован программно, процедура обслуживания порта SPI должна управлять сигналами на этих линиях, используя прямо адресуемые биты регистра I2CCON.

Бит	Мнемоника	Описание
IE.7	EA	Общий бит разрешения прерываний. Должен быть установлен для обслуживания любого источника прерывания. Если EA=0, все прерывания запрещены
IE.6	EADC	Бит разрешения прерывания АЦП
IE.5	ET2	Бит разрешения прерывания по Переполнению Таймера 2
IE.4	ES	Бит разрешения прерывания от Последовательного Порты UART
IE.3	ET1	Бит разрешения прерывания по Переполнению Таймера 1
IE.2	EX1	Бит разрешения внешнего Прерывания INT1
IE.1	ET0	Бит разрешения прерывания по Переполнению Таймера 0
IE.0	EX0	Бит разрешения внешнего Прерывания INT0 EX0)

Регистр IE2 содержит индивидуальные биты разрешения прерываний от монитора питания и последовательных портов SPI и I²C. Для разрешения прерываний соответствующие биты должны быть установлены в «1». Битовой адресации у этого регистра нет.

	7	6	5	4	3	2	1	0	
09H	–	–	–	–	–	–	EPSM	ESI	IE2
Исх.код	0	0	0	0	0	0	0	0	

Бит	Мнемоника	Описание
IE2.7-2.2	-	Не используются
IE2.1	EPSM	Бит разрешения прерывания от монитора питания
IE2.0	ESI	Бит разрешения прерывания от интерфейсов SPI/I2C

Регистр IP устанавливает один из двух возможных уровней приоритетов для источников прерывания. Установка соответствующего бита в «1» присваивает прерыванию высокий уровень, «0» – низкий. Биты могут программироваться индивидуально.

	7	6	5	4	3	2	1	0	
V8H	PS1	PADC	PT2	PS	PT1	PX1	PT0	PX0	IP
Исх.код	0	0	0	0	0	0	0	0	

Бит	Мнемоника	Описание
IP.7	PS1	Устанавливает приоритет прерывания от SPI/I2C
IP.6	PADC	Устанавливает приоритет прерывания от АЦП
IP.5	PT2	Устанавливает приоритет прерывания от Таймера 2
IP.4	PS	Устанавливает приоритет прерывания от порта UART
IP.3	PT1	Устанавливает приоритет прерывания от Таймера 1
IP.2	PX1	Устанавливает приоритет прерывания от внешнего источника INT1
IP.1	PT0	Устанавливает приоритет прерывания от Таймера 0
IP.0	PX0	Устанавливает приоритет прерывания от внешнего источника INT0

В регистре IP отсутствует бит приоритета запроса от монитора питания, поскольку этот источник всегда имеет высокий приоритет.

3.8. Внутренняя flash-память программ и данных

Внутренняя память программ. Внутренняя flash-память программ микроконвертера объемом 8 Кбайт может быть запрограммирована прямо на плате через последовательный порт UART, либо перед установкой микросхемы с использованием одного из промышленных программаторов. Режим загрузки через последовательный порт устанавливается после включения питания, если вывод PSEN# через резистор (около 1 кОм) подключен к земле. Опция загрузки памяти программ (Load+Run) появляется в команде RUN интегрированной системы программирования «ТурбоАссемблер-51» при настройке этой системы на программирование микроконвертера AD μ C812 (см. главу 6).

Внутренняя flash-память данных. Внутренняя энергонезависимая память данных имеет объем 640 байт и разбита на страницы по 4 байта. Всего страниц 160 (рис. 3.17), обращение к этой памяти производится с использованием нескольких регистров спецфункций. Регистры EDAT1-EDAT4 предназначены для хранения данных страницы, регистр EADR1 используется для хранения адреса страницы, а в регистр ECON записывается текущая команда обращения к памяти.

9F:	Байт 1	Байт 2	Байт 3	Байт 4
00:				

Рис. 3.17. Внутренняя flash-память данных

Команда, записанная в регистр ECON, сразу выполняется.

Стирание одной страницы и всей flash-памяти данных выполняется за 20 мс, запись одной страницы занимает 250 мксек, а чтение страницы длится командный цикл. Следует обратить внимание на эти цифры, поскольку на время обслуживания flash-памяти данных запросы прерываний откладываются. Сразу после записи команды в регистр ECON процессор переходит в режим пониженного энергопотребления (таймеры/счетчики продолжают функционировать) и находится в нем до конца работы с этой памятью.

Команды работы с flash-памятью данных, коды которых могут быть записаны в регистр ECON, приведены ниже.

Код команды	Описание
01H	Чтение страницы. Данные страницы с адресом EADRL заносятся в регистры EDATAx
02H	Запись страницы. Данные из регистров EDATAx записываются в страницу с адресом EADRL
03H	Резервный код. Не использовать
04H	Верификация. Сравниваются данные страницы по адресу EADRL с содержимым регистров EDATAx. При следующем чтении регистра ECON в нем будет 0, если данные совпадают
05H	Стирание страницы по адресу EADRL
06H	Стирание всей flash-памяти данных
07H - FFH	Резервные коды. Не использовать

Программирование байта памяти данных возможно после стирания его содержимого. Особенностью flash-памяти является то, что команду стирания можно выполнить только для всей страницы (или матрицы). После стирания каждый байт страницы содержит код FFh. Запись нового значения в ячейку flash-памяти данных можно выполнить при помощи следующей процедуры:

```

MOV  EADRL, #03h      ; загрузка указателя страницы
MOV  ECON, #01h       ; чтение страницы
MOV  EDATA2, #0F3h    ; запись нового значения в регистр
MOV  ECON, #02h       ; стирание страницы
MOV  ECON, #05h       ; запись страницы

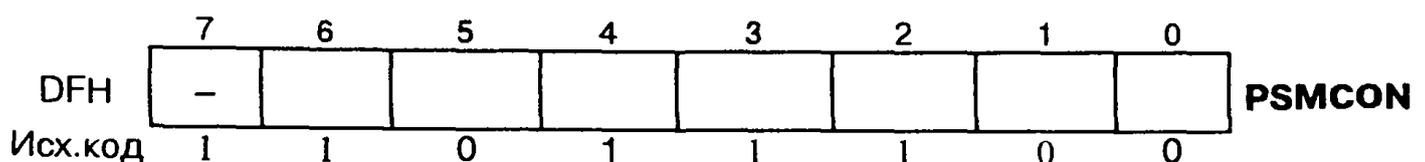
```

Эта процедура вначале копирует содержимое страницы в регистры данных, затем меняет содержимое нужного байта, затирает страницу и после этого копирует содержимое регистров данных во flash-память.

3.9. Монитор напряжения питания и сторожевой таймер

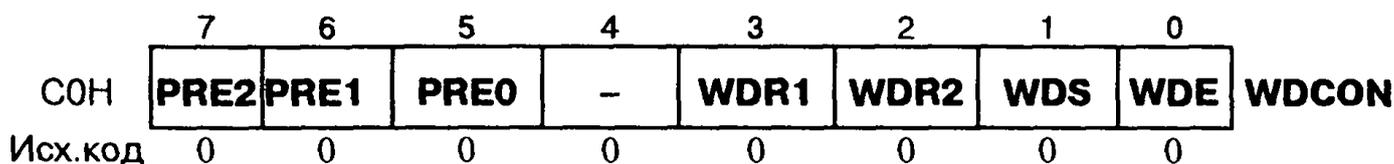
Монитор напряжения питания (PSM) формирует запрос прерывания, если цифровое или аналоговое питание становится меньше значения, которое может быть установлено программно (от 2,6 В до 4,6 В). Процедура обслуживания этого прерывания должна сохранить состояние регистров процессора в энергонезависимой памяти. Флаг прерывания очищается при нормализации питания, но не ранее 256 мсек с момента установки.

Монитор напряжения питания управляется регистром PSMCON.



Бит	Описание
PSMCON.7	Не используется
PSMCON.6	Бит состояния монитора: "1" - нормальная работа, "0" - ошибка
PSMCON.5	Флаг прерывания PSM
PSMCON.4	Биты выбора порогового напряжения [4,63 В, 4,37 В, 3,08 В, 2,93 В, 2,63 В]
PSMCON.3	
PSMCON.2	
PSMCON.1	Бит выбора контролируемого напряжения: "1" = AVDD, "0" = DVDD
PSMCON.0	Бит управления PSM Powerdown

Сторожевой таймер (WDT) предназначен для вывода системы из зависаний рабочей программы. Сторожевой таймер управляется регистром WDCON.



Бит	Мнемоника	Описание
WDCON.7	PRE2	Биты выбора интервала времени до сброса
WDCON.6	PRE1	[16, 32, 64, 128, 256, 512, 1024, 2048] мсек
WDCON.5	PRE0	
WDCON.4	-	Не используется
WDCON.3	WDR1	Биты перезагрузки сторожевого таймера, должны устанавливаться
WDCON.2	WDR2	последовательно
WDCON.1	WDS	Бит состояния сторожевого таймера
WDCON.0	WDE	Бит разрешения сторожевого таймера

Сторожевой таймер функционирует, если установлен бит WDE регистра WDCON. Биты PRE2, PRE1 определяют интервал времени, в конце которого сторожевой таймер формирует системный сброс микроконвертера. Рабочая программа при всех вариантах реализации алгоритма должна периодически перезагружать сторожевой таймер, не допуская его срабатывания. Перезагрузка осуществляется последовательной установкой битов WDR1, WDR2. Отсутствие перезагрузки свидетельствует о непредусмотренной задержке, идентифицируется как зависание и вызывает системный сброс и перезагрузку микроконвертера.